

Japanese Patent Office
Patent Laying-Open Gazette

Patent Laying-Open No. 11-31399
Date of Laying-Open: February 2, 1999
International Class(es): G11C 29/00
G01R 31/28
H01L 21/66

(8 pages in all)

Title of the Invention: BUILT IN SELF TEST WITH MEMORY

Patent Appln. No. 10-100721

Filing Date: April 13, 1998

Priority Claimed: Country: U.S.A.
Filing Date: July 2, 1997
Serial No. 08/887374

Inventor(s): Toshiaki Kiriata

Applicant(s): INTERNATIONAL BUSINESS
MACHINES CORPORATION

(transliterated, therefore the
spelling might be incorrect)



0697

② 参考
番頭A1.A2.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-31399

(43) 公開日 平成11年(1999) 2月2日

(51) Int.Cl. ⁴	識別記号	F I	
G 1 1 C 29/00	6 7 1	G 1 1 C 29/00	6 7 1 B
G 0 1 R 31/28		H 0 1 L 21/66	F
H 0 1 L 21/66		G 0 1 R 31/28	B
			V

審査請求 有 請求項の数30 OL (全 8 頁)

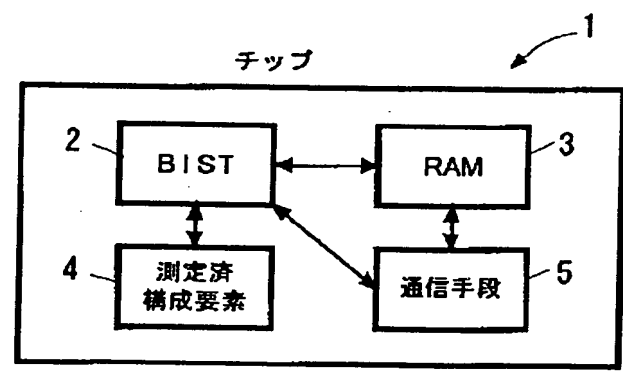
(21) 出願番号	特願平10-100721	(71) 出願人	390009531 インターナショナル・ビジネス・マシーンズ・コーポレーション INTERNATIONAL BUSINESS MACHINES CORPORATION アメリカ合衆国10504、ニューヨーク州 アーモンク (番地なし)
(22) 出願日	平成10年(1998) 4月13日	(72) 発明者	キリハタ・トシアキ アメリカ合衆国12603 ニューヨーク州ボ ーキーブシー ミスティー・リッジ・サー クル 10
(31) 優先権主張番号	08/887374	(74) 代理人	弁理士 坂口 博 (外1名)
(32) 優先日	1997年7月2日		最終頁に続く
(33) 優先権主張国	米国 (US)		

(54) 【発明の名称】 メモリを備えた組込み自己検査

(57) 【要約】

【課題】 それぞれが自己検査システムを取り入れた、集積回路チップと電子システムとを開示する。

【解決手段】 集積回路チップは、組込み自己検査 (BIST) の機能と不揮発性メモリとを含み、BISTは自己プログラム可能である。電子システムは、オフチップ検査目標とともに、オンチップ組込み自己検査 (BIST) と不揮発性メモリとを含む集積回路チップを含む。集積回路チップと電子システムは、製造時と現場の両方における電子製品の検査を単純化するために特に有用であり、製造環境における大型で複雑かつ高速のテストの必要性を解消し、製品を差し込むために代わりに単純な電力チャックを使用する際にさらに有用である。



【特許請求の範囲】

【請求項1】BISTを実行するための手段と、メモリとを含み、

前記BIST手段が検査を実行し、前記検査の結果を前記メモリに格納する、集積回路チップ。

【請求項2】前記メモリが不揮発性メモリである、請求項1に記載の集積回路チップ。

【請求項3】前記BISTが自己プログラム可能BISTである、請求項2に記載の集積回路チップ。

【請求項4】前記不揮発性メモリがNVRAMである、請求項2に記載の集積回路チップ。

【請求項5】前記不揮発性メモリがヒューズである、請求項2に記載の集積回路チップ。

【請求項6】オンチップ検査目標をさらに含み、BISTを実行するための前記手段が、前記目標について検査を実行し、前記検査の結果を不揮発性メモリに格納する、請求項2に記載の集積回路チップ。

【請求項7】前記目標が回路である、請求項6に記載の集積回路チップ。

【請求項8】前記目標が装置である、請求項6に記載の集積回路チップ。

【請求項9】前記目標が構成要素である、請求項6に記載の集積回路チップ。

【請求項10】前記目標が構造要素である、請求項6に記載の集積回路チップ。

【請求項11】前記目標が回路経路である、請求項6に記載の集積回路チップ。

【請求項12】BISTを実行するための前記手段が、
a) 前記目標に検査条件を課すための手段と、
b) 前記検査目標からパラメータを測定するための手段と、
c) 前記パラメータの値を前記不揮発性メモリに格納するための手段とをさらに含む、請求項6に記載の集積回路チップ。

【請求項13】前記BISTに信号を通信するための手段をさらに含み、BISTを実行するための前記手段が前記信号に応答し、前記BISTへの前記信号の通信に応答して、前記BIST手段が検査を実行し、前記検査の結果を前記不揮発性メモリに格納する、請求項2に記載の集積回路チップ。

【請求項14】信号を通信するための前記手段が電力ピンであり、前記信号が電力ソースである、請求項13に記載の集積回路チップ。

【請求項15】信号を通信するための前記手段が信号ピンであり、前記信号が信号ソースである、請求項13に記載の集積回路チップ。

【請求項16】信号を通信するための前記手段がRFレシーバであり、前記信号がRFソースである、請求項13に記載の集積回路チップ。

【請求項17】RFトランスミッタをさらに含み、BIST

SIST実行するための前記手段により前記RFトランスミッタが前記不揮発性メモリの内容を伝送する、請求項2に記載の集積回路チップ。

【請求項18】前記BIST手段が前記検査の結果を前記不揮発性メモリに格納することについて、前記BIST手段により前記RFトランスミッタが前記結果を伝送する、請求項17に記載の集積回路チップ。

【請求項19】前記BISTに信号を通信するための手段をさらに含み、BISTを実行するための前記手段が前記信号に応答し、前記BISTへの前記信号の通信に応答して、前記RFトランスミッタが前記不揮発性メモリの内容を伝送する、請求項17に記載の集積回路チップ。

【請求項20】信号を通信するための前記手段がRFレシーバであり、前記信号がRF信号である、請求項19に記載の集積回路チップ。

【請求項21】BISTを実行するための手段と、RFトランスミッタとを含み、BISTを実行するための前記手段が検査を実行し、前記手段により前記RFトランスミッタが結果を伝送する、集積回路チップ。

【請求項22】BISTを実行するための手段と不揮発性メモリとを有する集積回路チップと、前記集積回路チップから分離された検査目標とを含み、BISTを実行するための前記手段が、前記検査目標について検査を実行し、結果を前記不揮発性メモリに格納する、電子システム。

【請求項23】前記検査目標が第2の集積回路チップである、請求項22に記載の電子システム。

【請求項24】前記検査目標が回路カードである、請求項22に記載の電子システム。

【請求項25】前記検査目標が回路カード上の回路である、請求項22に記載の電子システム。

【請求項26】前記検査目標が装置である、請求項22に記載の電子システム。

【請求項27】前記検査目標が構成要素である、請求項22に記載の電子システム。

【請求項28】制御手段をさらに含む、請求項22に記載の電子システム。

【請求項29】通信手段をさらに含む、請求項22に記載の電子システム。

【請求項30】ハンドラ手段をさらに含む、請求項22に記載の電子システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般に電子機器におけるエラー検出または訂正および障害検出または回復に関し、より具体的には集積回路の組込み検査に関する。

【0002】

【従来の技術】製造した電子機器の検査は、長い間、電子業界の中心分野であった。半導体集積回路（IC）チップの製造における検査の重要性は、回路の速度と密度が増大し続けているのでますます拡大している。メモリ技術、ならびに特にダイナミック・ランダム・アクセス・メモリ（DRAM）は、チップ当たりのビット数が増加するように発展し続けている。このように単一チップ上に格納されるビット数が増加するということは、チップごとに検査が必要なメモリ・セルおよび回路の数がそれに対応して増加することである。また、DRAMのアクセス時間もより短くなっている。このため、高速動作のテストが必要になる。同様に、論理IC、ASIC、マイクロプロセッサなどは、単一チップ上でより多くの機能性を提供する。機能性が増えるということは、実行すべき検査が増すことに相当し、その結果、チップ当たりのテスト時間が増すことになる。同様に、このように機能性が増すことによって高速テストが必要になる。テストは、チップの高速回路動作を確認するように高周波信号速度で動作できなければならない。市場では、より高速かつより極端な動作条件で実行するチップに対してプレミアムを払うことになるので、テストはチップのソートも行わなければならない。最後に、どのような製造環境でも、生産ラインのセクタ間の製品の流れにボトルネックが一切発生しないことは不可欠である。これは、製品が検査中に費やす時間を含む。これは、チップを検査するためにより多くのテストを組み合わせなければならないか、またはそのテストがより短い時間内に1つのチップについて一連の検査を完了できることを意味する。集積回路の回路密度と速度の増大によって、より高度の複雑さかつ高周波信号速度で検査し、チップに関するソートを行い、チップ当たりの検査時間が短いチップ・テストが必要になる。したがって、相当量の製品が予想される場合には相当数の高価なテストが必要になる。

【0003】パフォーマンスについてチップをソートする場合、ソートしたチップの取扱いの誤りが発生する、すなわち、高速として識別したチップが誤って低速のチップと交換される可能性がある。この種の問題を最小限にするために取られる手法は、各チップにソートIDを付けることである。これは、チップの裏側にレーザで書き込むことによって行うことができる。より望ましい技法では、テストがソート時にソートIDを付ける必要がある。たとえば、チップにオンチップ・ヒューズ・バンクを設けることにより、テストはソート・コードによってバーンインすることができる。その利点は、取扱いの誤りが解消され、チップが取り付けられる後続システムがこのソート・コードにアクセスすることができ、それにより、チップ・パフォーマンス・タイプをシステムに報告できることである。他の検査結果も報告可能であることが望ましい。一方、欠点は、テストの複雑さと検査

時間が増大することである。

【0004】図1および図2は、上記の必要性に対するこれまでに分かっている解決策を示している。

【0005】先行技術のチップ検査の手法の1つでは、BIST技法を実施する。外部オフチップ・テストは、所定の信号をチップに供給することによって、チップ内で自己検査モードを呼び出す。その一例は、RAS（行アドレス信号）と、CAS（列アドレス信号）と、WE（書き込みイネーブル）と、ADD（アドレス）との組合せを開始アドレスに適用することである。自己検査モードを呼び出すと、当技術分野で周知のように、BISTは、BISTの内部ROM内に常駐するプログラム命令によって規制される通りに測定済み構成要素の検査を開始する。ただし、BISTの内部機能は当技術分野で周知であり、ここでは簡単な説明のみ行うことに留意されたい。BISTを使用して検査する測定済み構成要素のタイプの典型的な例は、1つのメモリ・セル位置または複数のメモリ・セル位置のアレイである。測定済み構成要素がメモリ・セルのアレイであるときに行われる共通検査としては、マーチング検査、チェッカボード検査、固有アドレス検査を含むはずであり、いずれの場合もセル内のデータ保存が検査される。他にも多くの検査が可能であるが、各検査を実行した後で、合格/不合格の結果がBISTからテストに渡される。BIST検査は、実際にはチップごとに必要な検査時間が長くなる可能性があるが、必要なテストはかなり単純でそのために安価であるという利点がある。より多くのテストを用意することによって製造上のボトルネックが低減されるが、これは、テスト当たりのコストが低減されるので経済的により実行可能なものである。

【0006】図2は、図1の配置に対する先行技術の改良を示している。そのすべてがBIST回路を含む複数のチップをほぼ同時に効果的に検査できるようにするために、マルチプレクサが追加されている。このため、追加したマルチプレクサの複雑さの増加が最小限である場合に、検査を通る製品のスループットの拡大が可能である。この場合も検査のコストが低減される。

【0007】しかし、従来のチップとテストのシナリオが直面する問題は他にもある。このような問題は、プローブおよびケーブル・フックアップの技術や、入出力（入力と出力）の制約である。現在のチップ技術で使用する非常に高いクロック速度や高速信号波形では、テスト・インタフェースへの入出力、プローブ、フックアップのケーブル配線は異なる伝送線として動作する。チップはオフチップで信号を送るためにドライバ回路を使用しなければならない。その必要性は実際には、同時切替えおよびオーバシュート/アンダシュート伝送線効果の問題を防止するように回路スイングを低下させるものでなければならない。ドライバおよびプローブ技術が制限にならない場合でも、チップの入出力訂正の回数は、実施

可能な十分なチップ検査の量に制限を課すことになる。ほとんどのチップは製品の必要性によって入出力が制限されるので、重要な内部回路ノードの検査に割り振り可能な残りの入出力の可用性が非常に制限される。組込み自己検査(BIST)回路を設ける技法は、このような制限の一部に対処するように発展してきた。BISTは、オンチップのもので、上記の問題の多くを回避し、それ以外には対応できそうもない内部ノードおよびパフォーマンス・パラメータについてテストが効果的に検査できるようにする。しかし、BISTでは、依然として、テストがプログラミングし、指示し、BISTから結果を収集しなければならない。自己プログラム可能BISTの場合でも、データ収集するには、製造環境で理想的な数より多いテストが必要である。

【0008】製造に続いて、チップが達成しなければならない現場の要求がある。第1に、前述したように、チップIDまたはソート・コードと、システムまたはサブシステムに電子的に報告可能なその他のパフォーマンス・パラメータが望ましい。第2に、インフィールド・システム障害が発生した場合、所与の特定のチップについて現場の技術者またはエンジニアに最終検査結果を提供することが望ましい。特に、チップのインフィールド再検査を行い、チップが製造されたときに得られたものを逸脱するようなチップ・パフォーマンスの変化を報告する必要がある。理想を言えば、このようなデータは都合よくしかも最小限のトラブルシューティング機器によって供給しなければならない。

【0009】したがって、適時であってしかも品質および数量が改良された検査結果を供給するような、製造環境におけるチップ検査の必要性が存在する。また、チップ検査スループットにさらに影響することなく、ソートし、電子的にラベルを付けたチップを生産する必要性も存在する。最後に、現場で容易にトラブルシューティングが可能なチップの必要性が存在する。したがって、このような必要性を満足し、上記およびその他の欠点および短所を解決するための手段を提供することが望ましいはずである。

【0010】

【発明が解決しようとする課題】したがって、本発明の一目的は、製造環境におけるテストの必要性を解消することにある。

【0011】本発明の他の目的は、チップがそれ自体を検査し、結果をオンチップで格納して、後で検査結果を読み取れるようにすることができるように、自己プログラム可能組込み自己検査機能と不揮発性メモリの両方を備えた集積回路チップを提供することにある。

【0012】本発明の他の目的は、そのチップの製造時に認識された実際のプロセス変動を報告する能力を備えた集積回路チップを提供することにある。

【0013】本発明の他の目的は、ソート・パラメータ

について検査するための自己プログラム可能組込み自己検査機能と、そのソート検査結果を表すソート・コードを格納するための不揮発性メモリの両方をチップに設けることにより、自己ソート機能を備えた集積回路チップを提供することにある。

【0014】本発明の他の目的は、チャックにチップを入れるだけで集積回路チップの検査に備えることにある。チャックは、チップに電力を供給するだけでよい。

【0015】本発明の他の目的は、チップの自己検査結果に現場でアクセスできるようにすることにある。

【0016】本発明の他の目的は、オンチップRFトランスミッタを介してチップの自己検査結果に現場でアクセスできるようにすることにある。

【0017】本発明の他の目的は、再検査コマンドを通信するためのオンチップRFレシーバと、検査結果を通信するためのオンチップRFトランスミッタの両方を設けることにより、集積回路チップの現場での再検査を可能にすることにある。

【0018】

【課題を解決するための手段】本発明によれば、BISTを実行するための手段と、BIST手段が検査を実行し、検査の結果をメモリに格納するようなメモリとを含む、集積回路チップを開示する。

【0019】代替実施例では、BISTを実行するための手段と、BISTを実行するための手段が検査を実行し、RFトランスミッタに結果を伝送させるようなRFトランスミッタとを含む、集積回路チップを開示する。

【0020】さらに、集積回路チップから分離された検査対象とともに、BISTを実行するための手段と不揮発性メモリの両方を有する集積回路チップを含み、BISTを実行するための手段が検査対象に対して検査を実行し、その結果を不揮発性メモリに格納するような、電子システムを開示する。

【0021】

【発明の実施の形態】図3を参照すると、本発明によれば、BIST(2)と、ランダム・アクセス・メモリまたはRAM(3)であって好ましくは不揮発性のRAM(NVRAM)と、測定済み構成要素(4)と、通信手段(5)とを含む、チップ(1)が示されている。

【0022】組込み自己検査またはBIST(2)は、BIST技法によるチップ検査を強化するために必要であると当技術分野で一般に理解されているように、通常、マイクロコード命令を含む専用読取り専用メモリ(ROM)と、アドレス指定回路と、比較器論理回路とを含む。BISTに必要な機能上の能力は、所与のチップ設計に必要なパラメータおよび回路検査によって変化する。しかし、BISTの本質的な機能は、測定用の特定の構成要素を選択するためのアドレス指定手段と、選択した構成要素に検査条件を課すための手段と、結果のパラメータを測定するための手段と、そのパラメータを

伝えるか、または代替実施例において結果のパラメータを予想結果と比較するために比較器手段が設けられている場合にその比較の結果を伝えるための入出力手段とを含む。アドレス指定パターンを決定するためのマイクロコードと、課された検査条件と、予想結果は、BIST内の専用ROMに格納される。

【0023】アドレス可能であり、少なくともBISTによって書込み可能であるランダム・アクセス・メモリ(RAM) (3) が設けられている。RAM (3) は、1つの単純な小さいレジスタにするか、または代替実施例では複数のメモリ素子からなる大きいアドレス空間を構成することができる。RAMは、PROM、EPROM、EEPROM、SRAM、DRAMを含むがこれらに限定されないタイプのものにする事ができる。好ましい実施例では、RAM (3) は不揮発性のNVRAMである。NVRAM自体は、ポリシリコンまたは金属ストラップまたは最も好ましくはその開示内容が参照により本明細書に組み込まれる米国特許第5303199号に記載されたものと同様の電氣的に中断可能な誘電フィルムから構築されたヒューズであるセルを含むことができる。BISTによる書込み動作中に所与のヒューズ素子を溶断する際にBISTの補助として、電圧ポンプ回路を設けることができる。

【0024】測定済み構成要素 (4) は、チップ (1) 上に検出されるあらゆる種類の要素を含み、オフチップで検出される要素の測定も含むものと理解されている。オンチップ測定済み構成要素の例としては、データ保存用のメモリ・アレイ・セルの典型的な測定と、内部回路または装置ノード電圧の測定と、酸化物の厚さまたはトランジスタの利得などのプロセス・パラメータの測定と、ブロック入力にデジタル刺激を供給し、論理ブロックからの出力を予想結果と比較することによる論理ブロック機能の測定と、回路アクセス時間測定などを含むはずである。オフチップ測定の例は、システムまたはボード/カード・レベル上で検出されるものを除き、上記のものと同様になるだろう。

【0025】通信手段 (5) は、最も典型的なことに、チップ入出力および電力ピンを含む。入出力および電力ピンは、オンチップ伝導パッド、鉛/錫ボール・グリッド・アレイ、浮動ワイヤ・ボンド、チップ・パッケージ/キャリア・ピンを含むがこれらに限定されない。上記の例では、単独でまたは複数ピンの固有の組合せによりDC信号またはAC信号を印加することによって通信を行うことができる。従来のBIST手法では、BIST検査の開始を通知するために開始アドレスADDと組み合わせるRAS信号、CAS信号、WE信号を印加する。好ましい実施例では、専用ピンが設けられ、それにより、電源電圧を印加したときにBIST検査の開始が通知される。また、通信手段 (5) は、単独でまたは上記のピンと組み合わせる使用するように、チップ上に設

けられた無線周波数(RF)または赤外線レーザまたはトランスミッタを使用することも含む。これは、実際にチップ (1) とは物理的に接触せずに通信を可能にするためのものである。

【0026】動作時には、チップ (1) に電力が投入される。通信手段 (5) を介してBIST (2) に信号が供給され、自己検査モードを呼び出す。その時点で、BIST (2) は、テキスト条件を適用して特定の測定済み構成要素 (4) をアドレス指定する。次にBIST (2) は、測定済み構成要素 (4) から結果のパラメータを測定し、その結果をRAM (3) に格納する。格納した結果は、単純な電気読取り器によってその時点でまたはその後の時点で読み取ることができる。また、格納した結果は、チップ (1) が後で取り付けられるシステムによってアクセスすることができる。

【0027】次に、図4に示す好ましい実施例に移行すると、同図には、SPBIST (22) と、不揮発性ランダム・アクセス・メモリまたはNVRAM (23) と、DRAMコア (24) と、そのうちの1つが専用ピン (25) である入出力ピンとRFトランシーバ (26) とを含む通信手段とを含む、チップ (21) が示されている。

【0028】好ましい実施例のチップ (21) には2つの通信手段が設けられ、そのうちの第1の手段は専用ピン (25) である。専用ピン (25) は、電力投入によって自己検査モードが呼び出されるようにBISTに接続されている。チップ (21) は、すべての電力ピンと専用ピンに電力を供給するチャックに入れられる。チャックは、1つまたは多くのチップに同時に電力を供給するように配置することができる。あるいは、チャックは、ダイシングしていない複数チップのウェハ全体を同時に受け入れて電力を供給するように配置することができる。したがって、単に電力を投入するだけで、チップ (21) に電力が供給され、BIST動作の自己検査モードが呼び出される。

【0029】第2の通信手段はRFトランシーバ (26) である。当技術分野で既知のICRFトランシーバ技術と、このような技術の例は、その開示内容が参照により本明細書に組み込まれる米国特許第5448110号に開示されている。自己検査モードを呼び出すための専用ピン (25) の使い方の代替実施例として、RFトランシーバを使用することもできる。したがって、適当なRFソースがチップ (21) に近接した状態になると、RFトランシーバ (26) は、それが自己検査を開始するようにSPBIST (22) に信号を送ることになる。好ましい実施例のRFトランシーバ (26) は、特にNVRAM (23) で検出されたデータまたはSPBIST (22) から直接得られるデータを伝送することもできる。

【0030】好ましい代替実施例では、BISTは自己

プログラム可能組み込み自己検査またはSPBIST (22) である。その開示内容が参照により本明細書に組み込まれる関連出願に記載されているように、それ自体には、機能限界を決定するために自己プログラム回路およびコマンド・レジスタが設けられている。このような機能限界としては、多くのパラメータを含むことができるが、好ましい実施例では特に電圧パフォーマンス空間および対応するアクセス時間を含むことができる。

【0031】他の好ましい実施例では、従来のタイプのDRAMコア (24) が設けられ、通常、列デコーダと、行デコーダと、センス増幅器と、列スイッチと、メモリ・セルのアレイとを含む。DRAMコアは測定済み構成要素の一例である。すなわち、他の測定済み構成要素としては、論理セルのアレイ、個々の論理ブロック、個々の能動または受動デバイス、酸化物または絶縁体の厚さなどのプロセス・パラメータなどを含むがこれらに限定されない。DRAMコアは十分理解され、それ専用のアドレス指定回路を有するので、選択するには都合のよいものである。

【0032】他の好ましい実施例のNVRAMは、電気的に中断可能な誘電フィルム・タイプの可溶性リンクからなる。この可溶性リンクは、十分な書き込み電圧によって溶断されたときにセル内の記憶キャパシタを短絡することができるようなメモリ・セルの専用アレイとして設けられている。これは、DRAMコア (24) 内よりかなり薄い酸化物をNVRAM (23) 内に設ける処理において、特殊マスク・ステップを使用することによって達成することができる。セルに書き込むときに通常より高い電圧を供給する電圧ポンプ回路も使用することができる。

【0033】好ましい実施例の動作時には、チップ (21) の電力ピンと専用ピン (25) に同時に電力が供給されるように、チップ (21) がチャックまたはプローブ配置に入る。その結果、それ自体とチップ (21) を自己検査動作状態にするための信号がSPBIST (22) に供給される。SPBIST (22) は、DRAMコア (24) におけるアレイ・セルのデータ保存を含む、一連の検査を実行する。しかし、それは自己プログラム可能なので、SPBIST (22) は、DRAMコア (24) に印加する回路電圧を増分式に変化させ、DRAMコア (24) の動作電圧空間を決定することができる。したがって、公称でDRAMコア (24) の第1の検査が正常に完了すると、SPBIST (22) は、公称電源電圧でDRAMコアが正常に動作することを示す表示をNVRAM (23) に格納する。次に、SPBIST (22) がDRAMコア (24) の電圧上限および電圧下限を検出すると、このような値のインジケータがNVRAM (23) に格納される。次にSPBIST (22) は、このような電源電圧 (公称、上限、下限) でDRAMコア (24) におけるアクセス時間を測定す

る。測定したアクセス時間のインジケータはSPBIST (22) によってNVRAM (23) に格納される。次にチップ (21) は、電力チャックから除去し、後でソートするために格納することができる。ソートは、NVRAM (23) 内のデータにアクセスする単純な読取り器によって実行される。NVRAM (23) のアドレスをDRAMコア (24) のアドレスと区別するために、様々なアドレス指定方式を使用することができる。好ましい実施例では、NVRAM (23) のアドレス空間は、DRAMコア (24) のアドレス空間が終わるところを単に数値的にピックアップする。このため、両方のメモリ・アレイについて同じアドレス指定回路を使用することができる。代替実施例では、自己検査の直後にソートを実行できるように電力チャックに読取り器回路を設けることになるだろう。この手法は、チップを物理的にソートしてキャリアに入れるために機械的なハンドラが使用可能な製造環境では、特に魅力的であると思われる。

【0034】好ましい実施例には、RFトランシーバ (26) も設けられている。これは、チップ (21) がシステム内に取り付けられ、現場に配備されたときに使用することができる。チップ上またはチップ (21) が取り付けられたカードまたは基板上にループ・アンテナが設けられる。このため、RFワンドまたは質問器は、チップ (21) に非常に近接した状態になると、RFトランシーバ (26) に適当な信号を供給し、NVRAM (23) の内容にアクセスしてそのデータをRFワンドに伝送するようそれに指示する。同様に、RFワンドは、チップ (21) を再検査するようRFトランシーバを介してSPBIST (22) に指示する信号を供給することができる。その結果は、RFトランシーバ (26) に導かれ、RFワンドに伝送される。NVRAMの内容とは異なるこのような現行検査結果だけをRFワンド上に表示するように、RFワンド内またはチップ (21) 上に比較器を設けることができる。このため、チップ (21) のパフォーマンスの変化は現場で分析することができる。同様の機能上の能力は、チップ (21) がアセンブルされるシステムによって提供することができる。

【0035】まとめとして、本発明の構成に関して以下の事項を開示する。

【0036】(1) BISTを実行するための手段と、メモリとを含み、前記BIST手段が検査を実行し、前記検査の結果を前記メモリに格納する、集積回路チップ。

(2) 前記メモリが不揮発性メモリである、上記(1)に記載の集積回路チップ。

(3) 前記BISTが自己プログラム可能BISTである、上記(2)に記載の集積回路チップ。

(4) 前記不揮発性メモリがNVRAMである、上記

(2)に記載の集積回路チップ。

(5)前記不揮発性メモリがヒューズである、上記

(2)に記載の集積回路チップ。

(6)オンチップ検査目標をさらに含み、BISTを実行するための前記手段が、前記目標について検査を実行し、前記検査の結果を不揮発性メモリに格納する、上記(2)に記載の集積回路チップ。

(7)前記目標が回路である、上記(6)に記載の集積回路チップ。

(8)前記目標が装置である、上記(6)に記載の集積回路チップ。

(9)前記目標が構成要素である、上記(6)に記載の集積回路チップ。

(10)前記目標が構造要素である、上記(6)に記載の集積回路チップ。

(11)前記目標が回路経路である、上記(6)に記載の集積回路チップ。

(12)BISTを実行するための前記手段が、

a)前記目標に検査条件を課すための手段と、

b)前記検査目標からパラメータを測定するための手段と、

c)前記パラメータの値を前記不揮発性メモリに格納するための手段とをさらに含む、上記(6)に記載の集積回路チップ。

(13)前記BISTに信号を通信するための手段をさらに含み、BISTを実行するための前記手段が前記信号に応答し、前記BISTへの前記信号の通信に応答して、前記BIST手段が検査を実行し、前記検査の結果を前記不揮発性メモリに格納する、上記(2)に記載の集積回路チップ。

(14)信号を通信するための前記手段が電力ピンであり、前記信号が電力ソースである、上記(13)に記載の集積回路チップ。

(15)信号を通信するための前記手段が信号ピンであり、前記信号が信号ソースである、上記(13)に記載の集積回路チップ。

(16)信号を通信するための前記手段がRFレシーバであり、前記信号がRFソースである、上記(13)に記載の集積回路チップ。

(17)RFトランスミッタをさらに含み、BIST実行するための前記手段により前記RFトランスミッタが前記不揮発性メモリの内容を伝送する、上記(2)に記載の集積回路チップ。

(18)前記BIST手段が前記検査の結果を前記不揮発性メモリに格納することに続いて、前記BIST手段により前記RFトランスミッタが前記結果を伝送する、上記(17)に記載の集積回路チップ。

(19)前記BISTに信号を通信するための手段をさらに含み、BISTを実行するための前記手段が前記信号に応答し、前記BISTへの前記信号の通信に応答して、前記RFトランスミッタが前記不揮発性メモリの内容を伝送する、上記(17)に記載の集積回路チップ。

(20)信号を通信するための前記手段がRFレシーバであり、前記信号がRF信号である、上記(19)に記載の集積回路チップ。

(21)BISTを実行するための手段と、RFトランスミッタとを含み、BISTを実行するための前記手段が検査を実行し、前記手段により前記RFトランスミッタが結果を伝送する、集積回路チップ。

(22)BISTを実行するための手段と不揮発性メモリとを有する集積回路チップと、前記集積回路チップから分離された検査目標とを含み、BISTを実行するための前記手段が、前記検査目標について検査を実行し、結果を前記不揮発性メモリに格納する、電子システム。

(23)前記検査目標が第2の集積回路チップである、上記(22)に記載の電子システム。

(24)前記検査目標が回路カードである、上記(22)に記載の電子システム。

(25)前記検査目標が回路カード上の回路である、上記(22)に記載の電子システム。

(26)前記検査目標が装置である、上記(22)に記載の電子システム。

(27)前記検査目標が構成要素である、上記(22)に記載の電子システム。

(28)制御手段をさらに含む、上記(22)に記載の電子システム。

(29)通信手段をさらに含む、上記(22)に記載の電子システム。

(30)ハンドラ手段をさらに含む、上記(22)に記載の電子システム。

【図面の簡単な説明】

【図1】先行技術のテストと、組込み自己検査を備えたチップとを示す図である。

【図2】マルチプレクサを使用してテストのスループットを改善する、他の先行技術の手法を示す図である。

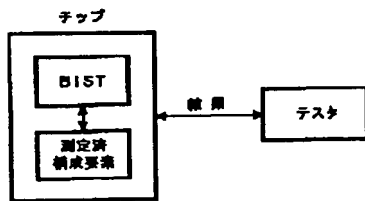
【図3】本発明の一般的な要素のブロック図である。

【図4】本発明の9通りの好ましい実施例のブロック図である。

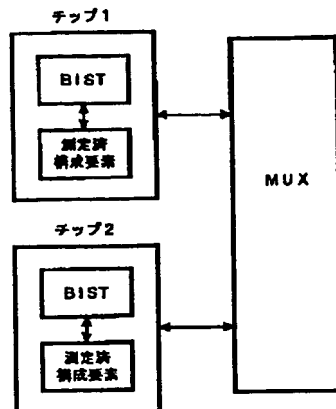
【符号の説明】

- 1 チップ
- 2 BIST
- 3 RAM
- 4 測定済み構成要素
- 5 通信手段

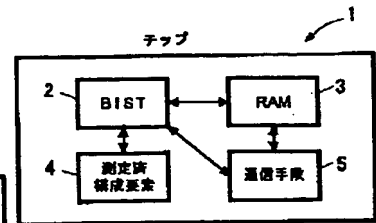
【図1】



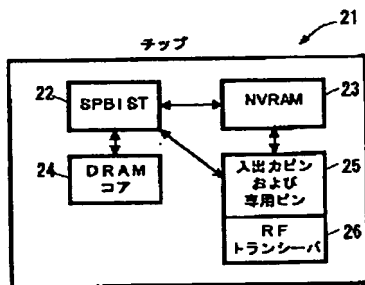
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 クリストファー・ウェイト
 アメリカ合衆国12508 ニューヨーク州ピ
 ーコン チャーチル・ストリート 17